# 第七周学习指南

## 7.1 课程内容

课程内容包括慕课中第五章同步时序逻辑电路的5.3节同步时序逻辑电路设计中的后面三个视频和5.4节同步时序逻辑电路设计实例。

这一部分说明了同步时序逻辑电路的设计步骤和设计中需要注意的问题，视频上面的内容虽然不多，但是这部分很重要，建议大家结合教材和教学视频进行学习。

## 7.2 教学重点

**1. 原始状态图化简**

* 原始状态图化简的目的；
* 状态数与触发器数目之间的关系；
* 等效状态的概念；
* 判断等效状态的两个条件：（1）输出相同；（2）次态相同；次态交错或为各自的现态；次态循环或为等效对。
* 等效状态的传递性；
* 等效对、等效类和最大等效类的概念；
* 隐含表法；
* 状态合并方法。

**2. 状态编码**

* 状态编码的目的；
* 状态编码方案的数目；
* 如何选择最佳的状态编码方案：相邻分配法；
* 对于同步时序逻辑电路，相邻分配法可能不能同时满足3条原则。

**3. 确定激励函数和输出函数**

* 钟控触发器的激励表；
* 选择不同触发器对电路的影响；
* 确定激励函数和输出函数的方法。

**4. 同步时序逻辑电路设计举例**

* 原始状态图：如何利用观察法进行状态化简；
* 状态编码：何时可以省略；
* 激励函数和输出函数的确定。

**5. 自启动的问题**

* 什么情况下需要判断电路是否具有自启动功能；
* 如何判断电路是否具有自启动功能，如何解决？
* 如何判断电路是否会产生错误输出，如何解决？

## 7.3 本周作业及要求

**习题五：5.8；5.9；5.11；5.12；5.13；5.14。**

5.8 设计一个代码检测器，该电路从输入端x串行输入余3码（先低位后高位），当出现非法数字时，电路输出Z为1，否则输出为0。试作出Mealy型状态图。

5.9 化简表5.42所示原始状态表。

****

5.11 按照相邻法编码原则对表5.44进行状态编码。

****

5.12 分别用D、T、J-K触发器作为同步时序逻辑电路的存储元件，实现表5.45所示二进制状态表的功能。试写出激励函数和输出函数表达式，比较采用哪种触发器可使电路最简。

****

5.13 已知某同步时序逻辑电路的激励函数和输出函数表达式为:

试求出改用J-K触发器作为存储元件的最简电路。

5.14 设计一个能对两个二进制数X=x1x2…xn和Y=y1y2..yn进行比较的同步时序逻辑电路，其中，X、Y串行地输入到电路的x、y输入端。比较从x1、y1开始，依次到xn、yn。电路有两个输出Zx和Zy，若比较结果X>Y，则Zx为1，Zy为0；若X<Y，则Zx为0，Zy为1；若X=Y，则Zx和Zy都为1.要求用尽可能少的状态数作出状态图和状态表，并用尽可能少的逻辑门和触发器（采用J-K触发器）实现其功能。

**要求：本题只需要作出状态图。**